

00-05-09

权 利 要 求 书

1. 一种通过软件进行升级的超级 VCD 视盘机, 具有机壳、设置在机壳中的整机机芯和电路装置、设在机壳上的输入输出端口及设在机壳面板上的控制按键; 整机机芯由机械机芯和光头机芯 (1) 构成; 电路装置包括有前置放大电路 (21)、数字伺服及数字信号处理电路 (22)、MPEG 解码器 (23)、随机存取存储器 (24)、程序存储器 (25)、视频编码及数模转换电路 (26)、音频数模转换电路 (27)、第一功率驱动电路 (28)、第二功率驱动电路 (29)、电源电路 (31)、音频放大电路 (32)、遥控接收器 (41)、按键电路及荧光屏驱动电路 (42) 及荧光管显示器 (43); 电源电路 (31) 的输出端接电路装置的各有关部件; 光头机芯 (1) 的光电集成电路 (11) 的电信号输出端接前置放大电路 (21); 前置放大电路 (21) 的输出端接数字伺服及数字信号处理电路 (22), 数字伺服及数字信号处理电路 (22) 的输出端接第一功率驱动电路 (28); 第一功率驱动电路 (28) 输出端的相应端口接光头机芯 (1) 的主导电机 (12)、滑行电机 (13)、聚焦线圈 (14) 和跟踪线圈 (15); 第二功率驱动电路 (29) 的输出端接机械机芯的电机 (19); MPEG 解码器 (23) 输入输出端的相应端口与随机存取存储器 (24) 相连; 其特征在于: 程序存储器 (25) 为电可擦写式存储器或快闪存储器, MPEG 解码器 (23) 数据端的相应端口与程序存储器 (25) 的数据端相连; MPEG 解码器 (23) 输出端的相应端口与程序存储器 (25) 的擦写控制端相连; 程序存储器 (25) 中设有开机程序模块、光盘播放程序模块、解码程序模块和升级程序模块; 开机程序模块的光盘识别子模块中含有识别升级光盘的程序段; 升级程序模块中含有格式分析记录子模块、校验子模块和系统控制子模块; 本视盘机的电路装置是单一中央处理器控制的系统, 该中央处理器设置在 RISC 精简指令微处理器中, 且该微处理器设置在 MPEG 解码器 (23) 中; 随机存取存储器 (24) 为动态随机存取存储器 DRAM 或同步动态随机存取存储器 SDRAM; MPEG 解码器 (23) 的输入输出端的相应端口与数字伺服及数字信号处理电路 (22) 的输入输出端直接和间接相连; MPEG 解码器 (23) 的输入输出端的相应端口与按键电路及荧光屏显示驱动电路 (42) 的输入输出端相连; MPEG 解码器 (23) 的输出端的相应端口与视频编码及数模转换电路 (26) 的输入端、音频数模转换电路 (27) 的输入端及第二功率驱动电路 (29) 的输入端相连; MPEG 解码器 (23) 输入端的相应端口与遥控接收器 (41) 的输出端相连。

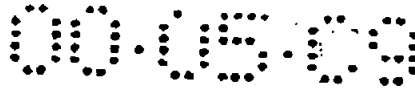
2. 根据权利要求 1 所述的通过软件进行升级的超级 VCD 视盘机, 其特征在于: 前置

00:05:09

放大电路(21)、数字伺服及数字信号处理电路(22)、MPEG 解码器(23)、随机存取存储器(24)、程序存储器(25)、视频编码及数模转换电路(26)、音频数模转换电路(27)、第一功率驱动电路(28)、第二功率驱动电路(29)集成在一块双面主板(2)上,该双面主板的电路板为采用 SMT 贴片的电路板。

3、根据权利要求 1 或 2 所述的通过软件进行升级的超级 VCD 视盘机,其特征在于:数字伺服及数字信号处理电路(22)由一块集成电路及其外围电路构成,该集成电路中固化有伺服自动序列程式,MPEG 解码器(23)的 RISC 精简指令微处理器是拥有 32 位指令和 32 位数据总线的 RISC 精简指令微处理器,MPEG 解码器(23)还包括有 DMA 控制器、MPEG 处理器、先入先出缓冲器、霍夫曼解码器、音视频数据传送通道、屏显功能硬件、只读存储器、随机存取存储器、寄存器以及主接口、音频串行接口、时分复用接口、先入先出缓冲器接口、视频输出接口等电路模块;各电路模块间由总线结构相互连接。

4、根据权利要求 3 所述的通过软件进行升级的超级 VCD 视盘机,其特征在于:MPEG 解码器(23)的型号为 SVD1811、ES4108、ES4208、ES4308;数字伺服及数字信号处理电路(22)的集成电路的型号为 CXD2545Q、CXD2585、CXD3008;视频编码及数模转换电路(26)和音频数模转换电路(27)共用的集成电路的型号为 SVD1810、ES3207、ES3209、ES4227。



说

明

书

通过软件进行升级的超级 VCD 视盘机

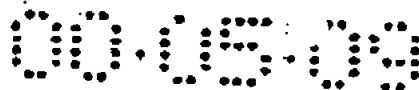
本实用新型涉及一种视盘机。

超级 VCD 视盘机是我国目前市场销量最大的一种视盘机。为满足市场需要，往往需要增加超级 VCD 视盘机的功能，通常的方法就是推出新型号的视盘机，对于已购买超级 VCD 视盘机的用户来说，再购买一台新型号的视盘机，不仅开销较大而且会造成先购视盘机的闲置和浪费。也有通过更换芯片进行升级的，但升级费用仍较高。

本实用新型的目的是，提供一种只需更新软件即可进行升级的超级 VCD 视盘机，升级后的视盘机具有新增功能，升级费用也较低。

本实用新型总的技术构思是，采用使设置在 MPEG 解码器中的中央处理器成为整机的单一中央处理器而对整个系统进行控制的结构形式，并采用程序存储器，将存储有升级模块的程序存储器与 MPEG 解码器相连接，程序存储器中的开机程序模块中含有识别升级光盘的程序段和记录升级文件格式的子模块，从而可实现对超级 VCD 视盘机的升级。

实现本实用新型目的的技术方案是，本视盘机具有机壳、设置在机壳中的整机机芯和电路装置、设在机壳上的输入输出端口及设在机壳面板上的控制按键；整机机芯由机械机芯和光头机芯构成；电路装置包括有前置放大电路、数字伺服及数字信号处理电路、MPEG 解码器、随机存取存储器、程序存储器、视频编码及数模转换电路、音频数模转换电路、第一功率驱动电路、第二功率驱动电路、电源电路、音频放大电路、遥控接收器、按键电路及荧光屏驱动电路及荧光管显示器；电源电路的输出端接电路装置的各有关部件；光头机芯的光电集成电路的电信号输出端接前置放大电路；前置放大电路的输出端接数字伺服及数字信号处理电路，数字伺服及数字信号处理电路的输出端接第一功率驱动电路；第一功率驱动电路输出端的相应端口接光头机芯的主导电机、滑机电机、聚焦线圈和跟踪线圈；第二功率驱动电路的输出端接机械机芯的电机；MPEG 解码器输入输出端的相应端口与随机存取存储器相连；其结构特点是：程序存储器为电可擦写式存储器或快闪存储器、MPEG 解码器数据端的相应端口与程序存储器的数据端相连；MPEG 解码器输出端的相应端口与程序存储器的擦写控制端相连；程序存储器中设有开机程序模块、光盘播放程序模块、解码程序模块和升级程序模块；开机程序模块的光盘识别子模块中含有识别升级光盘



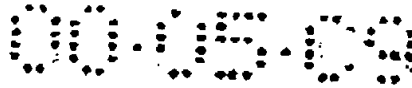
的程序段：升级程序模块中含有格式分析记录子模块、校验子模块和系统控制子模块；本视盘机的电路装置是单一中央处理器控制的系统，该中央处理器设置在 RISC 精简指令微处理器中、且该微处理器设置在 MPEG 解码器中；随机存取存储器为动态随机存取存储器 DRAM 或同步动态随机存取存储器 SDRAM；MPEG 解码器的输入输出端的相应端口与数字伺服及数字信号处理电路的输入输出端直接和间接相连；MPEG 解码器的输入输出端的相应端口与按键电路及荧光屏显示驱动电路的输入输出端相连；MPEG 解码器的输出端的相应端口与视频编码及数模转换电路的输入端、音频数模转换电路的输入端及第二功率驱动电路的输入端相连；MPEG 解码器输入端的相应端口与遥控接收器的输出端相连。

上述前置放大电路、数字伺服及数字信号处理电路、MPEG 解码器、随机存取存储器、程序存储器、视频编码及数模转换电路、音频数模转换电路、第一功率驱动电路、第二功率驱动电路集成在一块双面主板上，该双面主板的电路板为采用 SMT 贴片的电路板。

上述数字伺服及数字信号处理电路由一块集成电路及其外围电路构成，该集成电路中固化有伺服自动序列程式，MPEG 解码器的 RISC 精简指令微处理器是拥有 32 位指令和 32 位数据总线的 RISC 精简指令微处理器，MPEG 解码器还包括有 DMA 控制器、MPEG 处理器、先入先出缓冲器、霍夫曼解码器、音视频数据传送通道、屏显功能硬件、只读存储器、随机存取存储器、寄存器以及主接口、音频串行接口、时分复用接口、先入先出缓冲器接口、视频输出接口等电路模块；各电路模块间由总线结构相互连接。

上述 MPEG 解码器的型号为 SVD1811、ES4108、ES4208、ES4308；数字伺服及数字信号处理电路的集成电路的型号为 CXD2545Q、CXD2585、CXD3008；视频编码及数模转换电路和音频数模转换电路共用的集成电路的型号为 SVD1810、ES3207、ES3209、ES4227。

本实用新型具有积极的效果：（1）对于普通的超级 VCD 视盘机来说，因其电路一般采用双 CPU 控制结构，工作时既要执行电路进行控制、又要互相间保持通讯，故采用该电路结构，很难实现仅通过更新软件即可升级。本实用新型的视盘机采用了单 CPU 控制的结构，即 MPEG 解码器中设置的 RISC 精简指令微处理机代替了整个系统的中央处理器、总控全机。以此为物理基础，对光盘的判别采取软硬件并重的读取和判别方式，对光盘所记载信息的外层格式的解码采用软硬结合、以硬件为主的解码方式，对光盘内层所记载的音视频信息的解压和数据还原采用以软件为主的解码方式。因而这样的系统配置，有利于实现对类型不同、用途类似的光盘的解读，也为通过软件对超级 VCD 进行升级提供了硬件基础。（2）MPEG 解码器中的微处理机与集成电路内的其它电路模块由管线结构连接，



数据通信指令的传输有自己专门线路,各行其道,互不干扰,并以并行接口方式进行,速度非常快捷可靠。加上有关外围电路构成数字伺服及数字信号处理电路的集成电路中固化有伺服程式软件,更有利于程序运行的迅速可靠,配合具有强大抗干扰能力的电压型输出激光头以及对微处理机随时进行检测看门狗控制软件,可从根本上解决死机问题。看门狗软件模块在视盘机工作时它会随时随地检测系统资源利用和程序数据运行处理情况,一旦系统由于某种原因造成无法正常工作时,它会重新启动系统,恢复机器功能。(3)本实用新型的视盘机整机的电路除电源、控制键、声音混响处理等支节部分外,其它所有主要部分集成在一块双面主板上,该双面主板的电路板为采用 SMT 贴片的电路板。因所用贴片元器件体积小,信号经过的路径短,分布电感、电容小,信号之间相互影响几乎为零,信号更为纯净。从生产过程来看,所有元器件都由高精度贴片机放置,回流炉工艺焊接,稳定度与可靠性均较高,由此带来整机质量的提高。(4)本实用新型由于采用单一 CPU 的控制结构,程序存储器中不仅存储有解码程序模块,而且所存储的系统控制模块中含有对数字伺服及数字信号处理电路的工作进行控制的子模块,解码器中的微处理器从程序存储器中取出有关的程序模块,即可对 MPEG 处理器的解码进行控制,同时也对整个系统包括数字伺服及数字信号处理电路的工作进行控制。因此,对本实用新型的超级 VCD 视盘机的升级,不仅可使解码程序模块进行升级,而且还可使包括有对数字伺服及数字信号处理电路的工作进行控制的子模块的系统控制模块进行升级。这就使本实用新型的升级能满足增加不同种类、不同程度的新的功能提供了有力的支撑。

本实用新型附图的图面说明如下:

图 1 为本实用新型电路装置的框图。

图 2 为本实用新型电路装置的主板的一种电原理图(由图 2-1 和图 2-2 组成)。

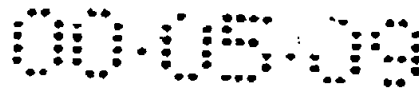
图 3 为图 2 中 MPDG 解码器的内部电路框图。

图 4 为本实用新型的视盘机开机过程的框图。

图 5 为本实用新型的视盘机升级过程的框图。

以下结合附图对本实用新型作进一步的描述。

见图 1,本视盘机具有机壳、设置在机壳中的整机机芯和电路装置、设在机壳上的输入输出端口及设在机壳面板上的控制按键;整机机芯由机械机芯和光头机芯 1 构成;机械机芯具有控制盒门开关的电机 19;光头机芯 1 具有光电集成电路 11、主导电机 12、滑电机 13、聚焦线圈 14 和跟踪线圈 15。电路装置包括有主机板 2、电源与输出板 3、键控及显示板 4 和话筒板 5。主机板 2 上设有前置放大电路 21、数字伺服及数字信号处理电路



22、MPEG 解码器 23、随机存取存储器 24、程序存储器 25、视频编码及数模转换电路 26、音频数模转换电路 27、第一功率驱动电路 28 及第二功率驱动电路 29。电源与输出板 3 上设有电源电路 31、音频放大电路 32 及输出接口。键控及显示板 4 上设有遥控接收器 41、按键电路及荧光屏驱动电路 42 及荧光管显示器 43。本视盘机的电路装置是单一中央处理器控制的系统，该中央处理器设置在 RISC 精简指令微处理器中、且该微处理器设置在 MPEG 解码器 23 中。随机存取存储器 24 为动态随机存取存储器 DRAM 或同步动态随机存取存储器 SDRAM。程序存储器 25 为电可擦写式存储器或快闪存储器。

程序存储器 25 中设有开机程序模块、光盘播放程序模块、解码程序模块和升级程序模块。开机程序模块中的光盘识别子模块中含有识别升级光盘的程序段；升级程序模块中含有格式分析记录子模块，校验子模块和系统控制子模块。

电源电路 31 的输出端接电路装置的各有关部件；光头机芯 1 的光电集成电路 11 的光电信号输出端接前置放大电路 21；前置放大电路 21 的输出端接数字伺服及数字信号处理电路 22，数字伺服及数字信号处理电路 22 的输入输出端接 MPEG 解码器 23。数字伺服及数字信号处理电路 22 的输出端接第一功率驱动电路 28；第一功率驱动电路 28 的输出端接光头机芯 1 的主导电机 12、滑机电机 13、聚焦线圈 14 和跟踪线圈 15。MPEG 解码器 23 的输入输出端的相应端口与按键电路及荧光屏显示驱动电路 42 的输入输出端相连；MPEG 解码器 23 的输出端的相应端口与视频编码及数模转换电路 26 的输入端、音频数模转换电路 27 的输入端及第二功率驱动电路 29 的输入端相连；第二功率驱动电路 29 的输出端接机械机芯的电机 19。MPEG 解码器 23 输入输出端的相应端口与随机存取存储器 24 相连；MPEG 解码器 23 输入端的相应端口与程序存储器 25 相连；MPEG 解码器 23 输入端的相应端口与遥控接收器 41 的输出端相连。

图 2 给出了电路装置的具体电连接关系。图中前置放大电路 21 主要由集成电路 CXA2549M 及其外围电路构成，数字伺服及数字信号处理电路 22 主要由集成电路 CXD2545Q 及其外围电路构成，MPEG 解码器 23 的型号为 SVD1811，随机存取存储器 24 为 SDRAM 其容量为 512K×16×2 比特，程序存储器 25 是型号为 29F020 的快闪存储器 FLASHROM（也可使用电可擦写式存储器 EEPROM），视频编码及数模转换电路 26 和音频数模转换电路 27 的主要部分设置在同一块集成电路上、其型号为 SVD1810，第一功率驱动电路 28 主要由集成电路 BA6392F 及其外围电路构成；第二功率驱动电路 29 由 2 块 BA6208 集成电路及其外围电路构成。上述集成电路中 CXA2549M 及 CXD2545Q 由日本索尼公司制造，SVD1811 及 SVD1810 由中日美三国高科技专家组成的“‘超越号’数字技

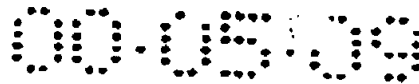
00.05.09

术实验室”研制生产,BA6392F及BA6208由日本罗姆(ROHM)公司制造。本实用新型的其它实施例中,数字伺服及数字信号处理电路22的集成电路可采用日本索尼公司制造的CXD2585或CXD3008的集成电路,MPEG解码器23的集成电路可采用美国亿世(ESS)公司制造的ES4108、ES4208或ES4308集成电路,而该公司制造的ES3207、ES3209或ES4227集成电路则可代替SVD1810。

仍见图1,SVD1811内部的32位RISC精简指令微处理机代替了整个系统的中央处理器、总控全机,工作时有WATCH-DOG看门狗技术的控制软件运行在该CPU中并控制全机,数据通信、指令传输有自己专门线路,各行其道,互不干扰,并以并行接口方式进行,速度非常快。配合具有强大抗干扰能力的电压型输出激光头以及称作数码平台的CXD2545Q,有利于彻底解决死机问题。看门狗软件模块在视盘机工作时它会随时随地检测系统资源利用和程序数据运行处理情况,一旦系统由于某种原因造成无法正常工作时,它会重新启动系统,恢复机器功能及原先的状态。因采用了先进的SMT贴片技术,所用贴片元器件体积小,故本视盘机整机的电路除电源、控制键、声音混响处理等支节部分外,其它所有主要部分集成在一块双面主板上。一个实施例中整块主板大小仅140mm x 78 mm,信号经过的路径短,分布电感、电容小,信号之间相互影响几乎为零,信号更为纯净。从生产过程来看,所有元器件都由高精度贴片机放置,回流炉工艺焊接,稳定度与可靠性均较高,由此带来整机质量的提高。

前置放大电路21接受来自光头机芯1的光电集成电路11的微弱电信号,对其放大、整形、均衡、运算,分离出射频RF信号、循迹伺服误差信号TE、聚焦伺服误差信号FE。

数字伺服及数字信号处理电路22的集成电路CXD2545Q负责进行数字伺服及数字信号处理,加上其内含32K的SRAM及内部数据总线设计,使光盘大容量的数据处理电路均采用总线挂接方式挂接在数据总线上,从而方便了数据的传送及处理,提高了数据处理速率。CXD2545Q内含数字伺服系统,它是受软件控制的,对信号的运算也完全以固化在其中的程序软件方式进行,保证了伺服控制的稳定性,并减少了生产调试环节。由软件控制的伺服处理包括伺服误差信号及其偏移消除功能、伺服环自动增益控制、EF平衡和聚焦偏置调整等。其处理过程如下:首先对由前置信号放大电路21送来的RF、TE、FE信号进行采样量化,变成数字信号,采样频率分别为1.4MHz、88.2KHz、88.2KHz。然后进行平均值测量计算,得到的结果存入对应寄存器并送入运算单元与对应的数字信号进行差运算,去掉信号中的误差成分。经过纠偏处理的数字信号在软件控制下进行相关程式的运算,产生各种不同类型的伺服控制信号,送入对应的脉冲宽度调制器(PWM)中产生7位PWM驱动



信号,再传送到驱动块中进行功率放大后驱动相对应的机构,进行精确伺服,消除了由于光头、机芯等元器件不一致导致的伺服系统性能下降现象,对不同的光盘有不同的最佳对应状态。

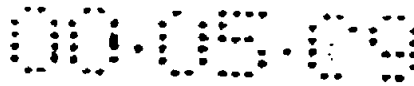
CXD2545Q另一大主要功能是数字信号处理器DSP。DSP主要包括以下几大功能:恢复通道位时钟、获取帧同步信号、EFM解调、CIRC解纠错、子码处理等功能。通道位时钟频率为4.3218KHz,用于信息读取的同步和电机控制,解调出通道位时钟是数字信号处理的第一步。解调出通道位时钟必须用PLL环来消除由于主轴旋转引起的波动。CXD2545Q则采用了更为先进的数字式三段PLL环。第一段PLL环用来产生可变式节距,第二段产生一个高频时钟信号供给第三段,第三段数字PLL环则产生实际应用的通道位时钟,具有 $\pm 150\text{KHz}$ 以上的捕获范围。因为有了如此宽的捕获范围,主导电机12才能够以非常均匀的线速度旋转,保证数据读取流畅稳定。

及时获取帧同步信号是非常重要的,因为它用来确定哪些信号处在同一帧中的。若帧同步信号丢失,则数据就由于无法确认而被以错误码对待。所以,要提高整机的播放能力就必须及时地、准确地获得帧同步信号。在CXD2545Q中,特别采用了窗口检测、向前检测、向后检测等多种方法,它们既各挡一面,又相辅相成。窗口检测有两种窗口宽度,用于一般情况检测。向前、向后检测可在由于划伤等原因无法检测到同步头时插入多达13帧的同步信号取而代之。上述几种方法的综合利用,使CXD2545Q获取帧同步信号的能力达到非常强大的地步。

CXD2545Q内置的DSP具有超强的纠错能力。众所周知,为了解决光盘上数字信号数据的错误、失落,在纪录时必须加入了冗余纠错码。CD格式采用了交织里德索罗门码CIRC,该码最小距离为5,以原有理论分析,C1、C2纠错能力都是二重。经研究发现,只要在C1纠错后附加数据指针传送给C2,C2就能达到四重纠错能力。代价是需要更多的内存RAM来存储中间数据。CXD2545Q内部固化了具有这种超强纠错能力的软件,内置32K SRAM。

图3给出了MPEG解码器23的集成电路SVD1811的内部框图。图中左侧部分主要进行控制和对压缩数据进行处理,右侧部分处理中间数据和解压以后的数据。视频输出接口输出解压缩以后的视频图象数据,主接口、TDM时分复用接口和音频串行接口分别传输低比特率数据、压缩信号数据或音频数据。数据的输入输出量由DMA控制器控制,并连接在内部总线上。所有工作都处于RISC微处理器的监控下。

SVD1811内置的微处理器是拥有32位指令和32位数据管道的RISC精简指令微处理



器。处理器特别增加了一些指令来加速字节和字的存取速度，提高了中断的处理能力。SVD1811 采用了管线结构，可用优化提高版的 C 语言来编程。

主接口是用于一般用途的并行接口。它包括调试端口、命令端口和 DMA 端口三个端口。主接口一般用于与外部中央处理器通信，也可用于比特流数据输入或用户数据输入/输出。主接口带有三个寄存器，用来控制标志和中断的操作。标志是用来指示解码器已经准备好通过主接口 DMA 通道接受或提供数据，中断则被用于在 RISC 微处理器与主接口之间出现冲突指令时起作用，往往是隐蔽的。

音频串行接口是一个连接 DAC 的双向串行接口，用于传输 PCM（脉冲编码调制）音频信号和 IIS 格式的音频数据。它支持 16、24、32 位音频格式，左右模式可以调整，且不需外部主时钟供应。音频数据的解压缩在芯片内部完成，这种封闭耦合可以得到精确的视频同步。

TDM 接口是时分复用接口，是一个高速双向串行通道，用来传输编码比特流到网络接口。它支持各种高速串行传输协议，可用于速度为 16Mbps 的串行连接，这种连接不受 TDM 传输协议的约束。

RISC FIFO 接口是 SVD1811 提供的一个无粘贴的 16 位 DRAM 存储器接口。该接口有充足的带宽，可以以周期为 60ns 的速度供应 MPEG 数据流的解码。DRAM 接口可以配置具备多达 16M 的寻址范围，支持 EDO DRAM 和 SDRAM。这种配置可以有三种方法：(1) EDO DRAM-256K× 和 1M×16；(2) SDRAM-16M (512K×16bit×2 组)；(3) EDO-DRAM 和 SDRAM 混合使用。本实用新型的一个实施例使用 SDRAM-16M (512K×16bit×2 组) 的配置。

DMA 控制器有多个复用通道，用来在 DRAM 和视频接口、霍夫曼解码器、端口、视频处理器、DRAM 刷新之间传输 16 位数据。视频接口、霍夫曼解码器、视频处理器都有存储器，允许 DMA 控制器以 DRAM 页模式传输数据。DMA 通道之中有一个是用来提供 DRAM 刷新的。

视频处理器 (MPEG 处理器) 是一个可编程视频信号处理器，执行标准 MPEG 解压缩及其它一些本身需要的运算。它以软件处理的方式对视频进行前处理和后处理，使得 SVD1811 拥有对视频任意的滤波和缩放等性能。SVD1811 内置有 2K×32 的片载 ROM 用于存储视频的微码。

视频输出端口输出存储在 DRAM 或 SDRAM 中的视频帧信号，也提供可以与视频处理软件一起在视频处理器中运行的硬件后处理功能。更为突出的是，它包含有存储/缓冲视

00:05:09

频输出、彩色变换电路、内差滤波器、时间滤波器,可以在不同的图像清晰度格式之间,包括 SIF、CIF、QCIF 和其它一些常用于计算机和电视视频编码器中的显示格式(例如 CCIR601、640×480VGA),进行变换。同时,视频输出端口内有一个可编程 CRT 控制器,可以输出隔行扫描和编程扫描的信号。CRT 控制器可编程产生视频同步和消隐信号,也可以锁定外部视频。视频输出部分还包括了专门的实现 OSD 屏显功能硬件。OSD 功能中,每个象素的色彩可以用 2、4 或 8 个比特的数据,可以占据部分屏幕。OSD 的数据是在彩色空间变换之前和缩放之后插入的。OSD 的点位图存储在 DRAM 或 SDRAM 的特定空间中。

霍夫曼解码器是应用霍夫曼(Hoffman)表进行解码的。霍夫曼解码器是可编程的,可由用户改变。霍夫曼编码数据由 DMA 通道传输的。

电路装置的键控及显示板 4 设有遥控接收器 41、按键及荧光屏驱动电路 42、荧光管显示器 43。由按键直接手动输入的选择视盘机工作方式的指令经驱动电路 42 变换后输入 SVD1811 的微处理器,微处理器根据指令执行相应的操作。遥控接收器 41 用于接收遥控的选择视盘机工作方式的指令经内部处理后输至微处理器。驱动电路 42 也接收微处理器发出的显示数据,经译码后驱动荧光管显示器 43 显示有关的信号。

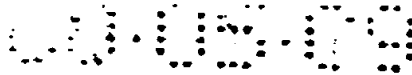
话筒板 5 上设置放大及混响电路,由麦克风通过插口输入的声音信号经放大及混响电路处理后,由设置在电源与输出板 3 上的音频输出端口输出。

下面结合图 2 至图 4,描述本实用新型的视盘机的通过软件进行升级的工作过程。视盘机接通电源后,视盘机按以下的开机流程运行。

(1) 系统上电。由电源电路 31 对电路装置的各有关部件上电。

(2) 系统复位。复位电路向作为视频编码及数模转换电路 26 和音频转换电路 27 的主要部分的集成电路 SVD1810 的 13 脚 RST 端提供复位信号而使其复位,然后从 SVD1810 的 24 脚 RSTOUT 端输出复位信号至作为 MPEG 解码器 23 的集成电路 SVD1811 的 24 脚 RESET 端、使 SVD1811 复位, SVD1810 同时从其 74 脚取得时钟信号后经分频由 17 脚、79 脚、80 脚输出再分别经整形电路输至 SVD1811 的 39 脚、105 脚、116 脚和 117 脚为 SVD1811 提供时钟信号,使 SVD1811 正常工作。

(3) 开机显示。SVD1811 初始化后,则由其 RISC 微处理器首先对同步动态随机存取存储器 SDRAM 集成电路 24 初始化,同时由 165、168、169 脚向面板上的荧光管显示器发出信号使荧光管显示器发光。然后从用作存储器 25 的集成电路 29F040 中调用开机程序模块至 SDRAM 中并由 RISC 微处理器执行。执行时 SVD1811 则由其 RISC 微处理器从



29F040 中读出格式为 MPEG2 的开机画面的视频数据及音频数据存入其 SRAM 中, 由 MPEG 处理器按 MPEG2 的格式进行解码, 经解码后的音频数据经音频串行接口从 45~47 脚输至 SVD1810 的 23 脚、33 脚以及 37 脚, 经 SVD1810 进行音频数模转换后, 输至音频放大电路 32 进行信号放大后输至音频输出插口, 该音频输出插口可外接扬声器。经解码后的视频数据通过 SVD1811 的 106~110、113~115 脚输出开机画面的数据至 SVD1810, 再由 SVD1810 进行视频编码及 DAC 转换而从 SVD1810 的 61 脚 YDAC 端、64 脚 VDAC 端以及 58 脚 CDA 端输出开机画面的视频信号至视频输出插口, 该视频输出插口可外接显示器。

(4) 光头回中和关闭盒门。CXD2545Q 在接通电源或盒门由开启状态运动至关闭状态时均会初始化, 在 SVD1811 通过 126 脚检测机芯盒门开关 CLOSE 的状态而确定盒门是处于关闭状态的前提下, 若光头不处于中间的零位状态, 则 CXD2545Q 的 99 脚 SSTP 端接收相应的 LIMIT 信号后, 由其 2 脚 SRDR 端和 100 脚 SFDR 端输出控制信号至 BA6392F, 然后由 BA6392F 的 16 脚和 17 脚输出一反向电压至滑行电机 13, 使滑行电机 13 反向转动, 令光头迅速回中。当光头达到零位后, 便触动零位开关, 使 CXD2545Q 的 99 脚 SSTP 端接收到零位信号, 然后通过其 80 脚 SENS 端将该信号输至 SVD1810 的 9 脚, 再由 SVD1810 的微机并行接口 LD 接口通过 SVD1811 处理器接口的 LD 接口将零位信号输至 SVD1811 的微处理器。与此同时, SVD1811 通过 126 脚和 127 脚检测托盘限位开关的状态而确定盒门是否处于开门状态, 若为开门状态则由 161~162 脚向第二功率驱动电路 29 的一个集成电路 D107 输出关门信号、使 D107 通过插座 XS102 的 M+ 和 M- 端口控制机械机芯的电机 13 转动而关闭盒门; 当 SVD1811 检测到盒门处于关闭状态的信号, 并检测到零位信号后, 经微处理器判断后, 通过 SVD1811 的 LD 接口输出滑行驱动停止信号, 该信号进入 SVD1810 后, 再经其 XLAT 端、DATA 端以及 SCLK 端由 CXD2545Q 的 86~88 脚进入 CXD2545Q, CXD2545Q 停止发出滑行驱动信号。然后 SVD1811 的微处理器运行开机程序模块中有关的检测光盘的子模块。先由 SVD1811 的微处理器控制由 SVD1810 的 69 脚输出 LDON 信号至作为前置放大电路 21 的主要部分的集成电路 CXA2549M 的 22 脚, 而由 CXA2549M 的 1 脚输出信号使光头机芯 1 上的半导体激光器导通发出激光。

(5) 检测光盘。由 SVD1811 将命令与数据通过 LD 接口进入 SVD1810, 再由 SVD1810 的 87、14、18 脚 SCLK 端、XLAT 端、DATA 端将命令与数据输至 CXD2545Q 的 CPU 接口 86~88 脚, CXD2545Q 就调用固化在其伺服自动序列模块中的相应程序并执行之, 从而 CXD2545Q 的 8 脚 FFDR 和 10 脚 FRDR 输出系列聚焦搜索信号至集成电路 BA6392F 中,

再通过 BA6392F 放大功率后由 1 脚和 2 脚经插座 XS101 的 F-及 F+端口输出至光头机芯 1 的聚焦线圈 14 上,控制聚焦线圈 14 带动光头物镜上下移动。

当整机机芯中无光盘时,则物镜上下移动数次后、光头机芯 1 的光敏检测器检测不到反射光,故与插座 XS101 的 A~D 端口相连的作为前置放大电路 21 的主要部分的集成电路 CXA2549M 的 3~6 脚无信号输入,则 CXA2549M 的 17 脚输出的信号经外围电路后由 26 脚输至 CXD2545Q 中,经内部处理在 CXD2545Q 的 93 脚保持 FOK 信号为低电平不变, CXD2545Q 及 SVD1811 均处于等待状态。

P.10 *847 (6) 光盘识别。当将待播放的光盘放入整机机芯中时,则 CXD2545Q 又初始化,当物镜上下移动数次的过程中、按固化在伺服自动序列模块中的渐次逼近的程式使物镜与光盘达到最佳聚焦位置。此时, CXD2545Q 的 26 脚所得的信号经 CXD2545Q 内部处理后,在 93 脚输出的 FOK 信号为高电平,该 FOK 信号经 SVD1810 输至 SVD1811 时,经 SVD1811 处理,在其 LD 接口输出启动光头机芯的主轴旋转的信号以及聚焦伺服进入闭环程式的启动指令和伺服自动序列模块的跟踪伺服和滑行伺服程式的启动指令经 SVD1810 至 CXD2545Q 的 CPU 接口 86~88 脚,同时将开机程序模块中的光盘识别子模块(按 ISO-9660 格式编制)从存储器 25 读入 SDRAM 中,并等待从 28~30 脚输入光盘类别识别信号的到来。输至 CXD2545Q 的 CPU 接口 86~88 脚的启动指令,经 CXD2545Q 处理后,在其 96 脚输出驱动控制信号至 BA6392F 的 24 脚,再经 BA6392F 处理后,在其 26 脚和 27 脚输出驱动信号经插座 XS103 的 SP+和 SP-端口驱动光头机芯 1 的主导电机 12 带动主轴旋转,并且开始执行固化在 CXD2545Q 芯片中的伺服自动序列模块的跟踪伺服和滑行伺服程式以及闭环执行聚焦伺服的程式。

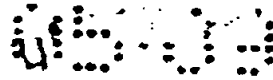
跟踪循迹伺服和滑行伺服程式同时进行。执行跟踪循迹伺服程式时, CXA2549M 从其 8 脚和 9 脚取得由三光束法读取光盘得到的副光束的反光信号,将 F、E 信号经 CXA2549M 的跟踪误差信号放大器放大从 CXA2549M 的 13 脚输出 TE 信号,该 TE 信号经过并联的阻值不同的电阻后,分别从 CXD2545Q 的 27 脚和 28 脚输入跟踪误差信号 TE 和进给伺服信号 SE,经 CXD2545Q 处理后由 4 脚和 6 脚输出 TFDR 信号和 TRDR 信号至 BA6392F 的 4 脚和 5 脚,由 2 脚和 100 脚输出 SRON 信号和 SFDR 信号至 BA6392F 的 19 脚和 20 脚;经 BA6392F 处理后,由其 1 脚和 2 脚经插座 XS101 的 T+和 T-端口输至跟踪循迹线圈 15,由跟踪循迹线圈 15 控制物镜再水平方向上进行校正。再由 BA6392F 的 16 脚和 17 脚经插座 XS103 的 SL+和 SL-端口输至光头机芯 11 的滑行电机 13,带动光拾取器沿光盘径向从中心向边缘方向运动。

当光拾取器经过跟踪循迹伺服和滑行伺服进入正常的读取状态后,由光头机芯1的光电集成电路11输出光电信号经插座XS101的A~D端口进入CXD2549M中,经CXD2549M转变成RF信号后,进入CXD2545Q进行CD解调,解调后的数据再由CXD2545Q的45~47脚输至SVD1811的28~30脚进入SVD1811中,由微处理器控制将所输入的有关TOC的连续数据放入SDRAM的缓冲区。此时,微处理器不断将连续数据(曲目表TOC等)从缓冲区中取出,将存放于SDRAM中的光盘识别子模块调出执行,从而识别出缓冲区中的数据类别,而对机芯中的光盘类别进行判定。

上述步骤(1)至步骤(6)的开机程序的框图由图4给出。

(7)见图5,当MPEG解码器中的微处理器运行开机程序模块的光盘识别子模块中的升级光盘程序段而识别出机芯中的光盘为升级光盘时,微处理器从存储器25中读出升级程序模块,将升级程序模块存入SDRAM中,此时,微处理器由SDRAM中的升级程序控制;微处理器运行升级程序模块中的格式分析记录子模块,按ISO-9660的规格分析升级光盘的目录结构并找到升级文件,将升级文件的大小、位置的数据记录于SDRAM中。然后,微处理器运行升级程序模块中的校验子模块,先将升级文件起始段中的校验码读入内存,再读出升级文件的所有数据,并将这些数据按一定算法运算:其中的一种算法是,当遇到“1”时,则在累加器中加1,当遇到“0”时则在累加器中减1,最后得到一个运算结果(在生成该升级程序时,校验码设置成与该运算结果相一致)。当运算结果不等于校验码时,微处理器则判断该升级光盘为非法升级光盘;当运算结果等于校验码时,微处理器则判断该升级光盘为合法升级光盘,系统进入等待升级的状态:此时,由165、168、169脚向面板上的荧光管显示器发出信号使荧光管显示器显示可以升级或等待升级操作命令的信息。同时,也由106~110、113~115脚输出相应的数据信号至SVD1810,再由SVD1810进行视频编码及DAC转换而从SVD1810的61脚VDAC端、64脚VDAC端以及58脚CDA端输出可以升级或等待升级操作命令的视频信号至视频输出插口。

此时,按下退出键,则系统进入通常的STOP(停止)状态,操作者可以关机或更换光盘。若按下升级按键,则微处理器调用升级程序模块的系统控制子模块对系统进行控制,对程序存储器进行刷新;微处理器发出命令使半导体激光器发光、使主轴转动、以及使聚焦伺服、跟踪循迹伺服和滑行伺服程式启动,同时把升级文件起始段后的地址告诉伺服系统;伺服系统按地址找到所需的升级文件经处理后由光头机芯1的光电集成电路输出所读出的升级文件的光电信号经插座XS101的A~D端口进入CXD2549M中,经CXD2549M转变成RF射频信号后,CXD2545Q的36脚进入其中,由CXD2545Q对射频



信号进行处理,产生 DATA、BCK、LRCK 数据信号由 CXD2545Q 从其 45~47 脚输出送往 SVD1811,由 SVD1811 的时分复用接口 28~30 脚进入 SVD1811 中。在微处理器的控制下,由 SVD1811 的 198 脚 ME 端向 29F020 的作为擦写控制端的 31 脚发出控制命令,通过数据总线 LD0~LD7 和地址总线 LA0~LA17 将升级文件写入程序存储器。升级文件写完后,电视画面变成黑白闪烁状态,操作者关机后即完成了升级。

说明书附图

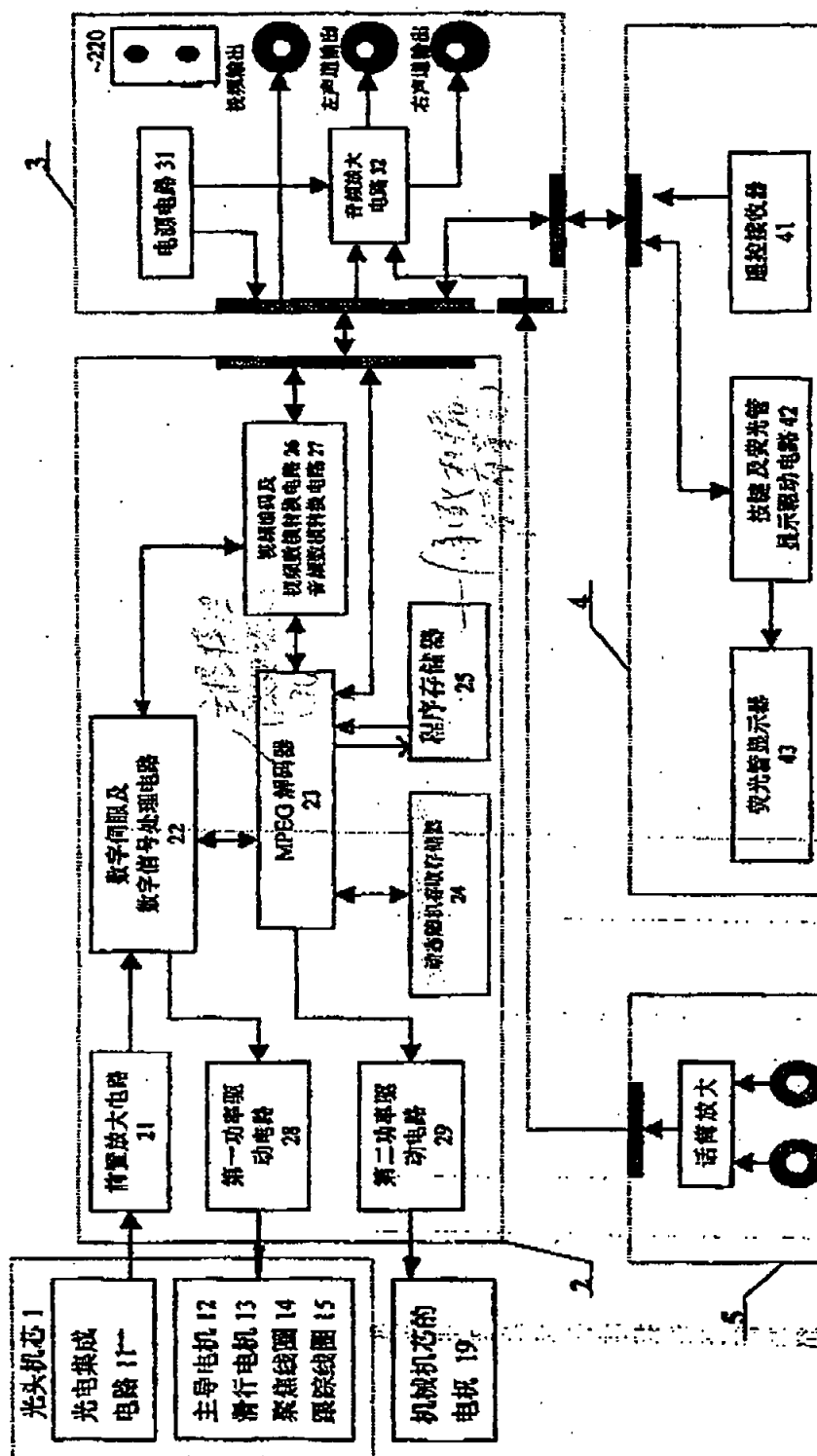


图1

00:05:39

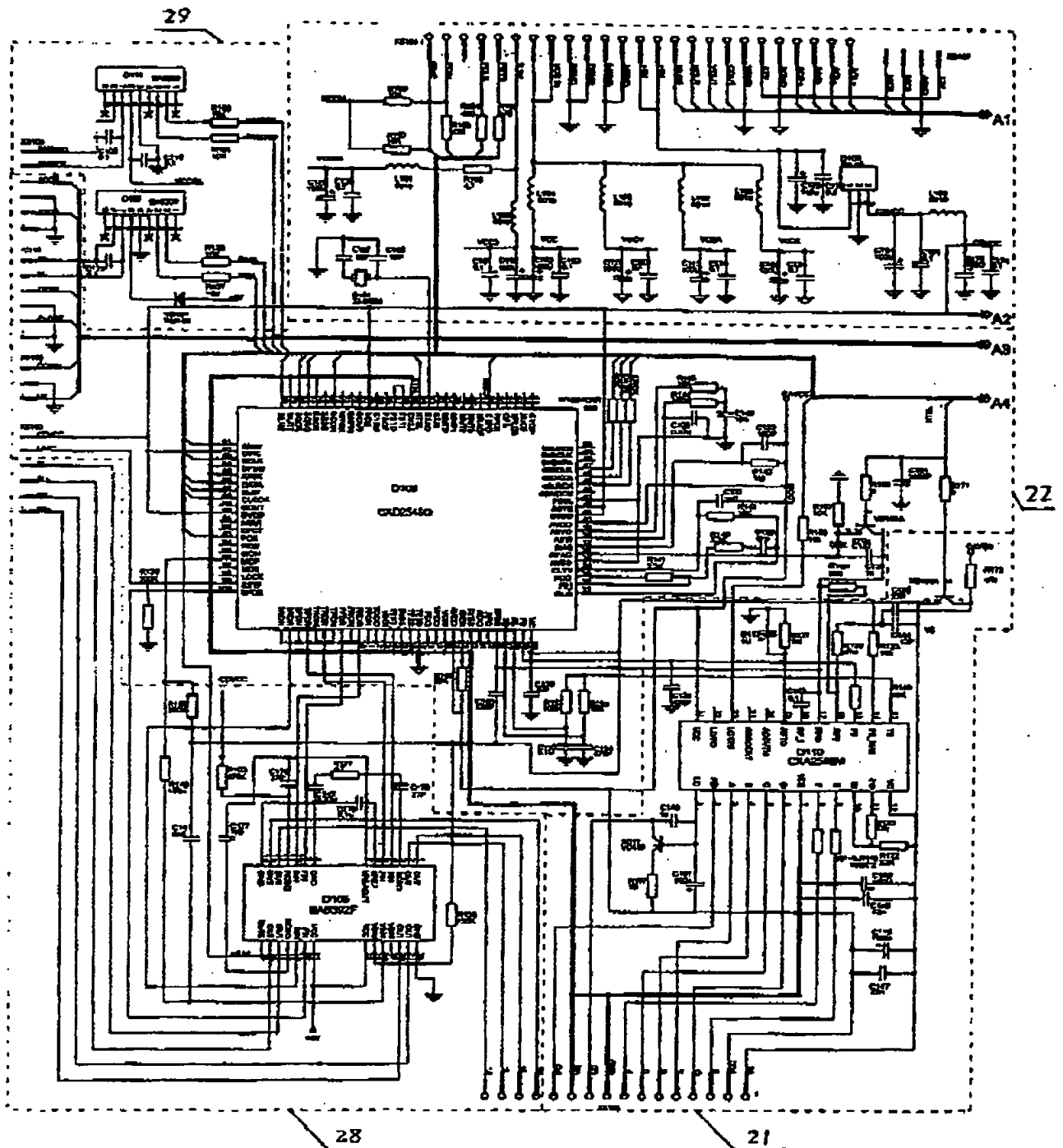


图 2 之图 2-1

00-05-00

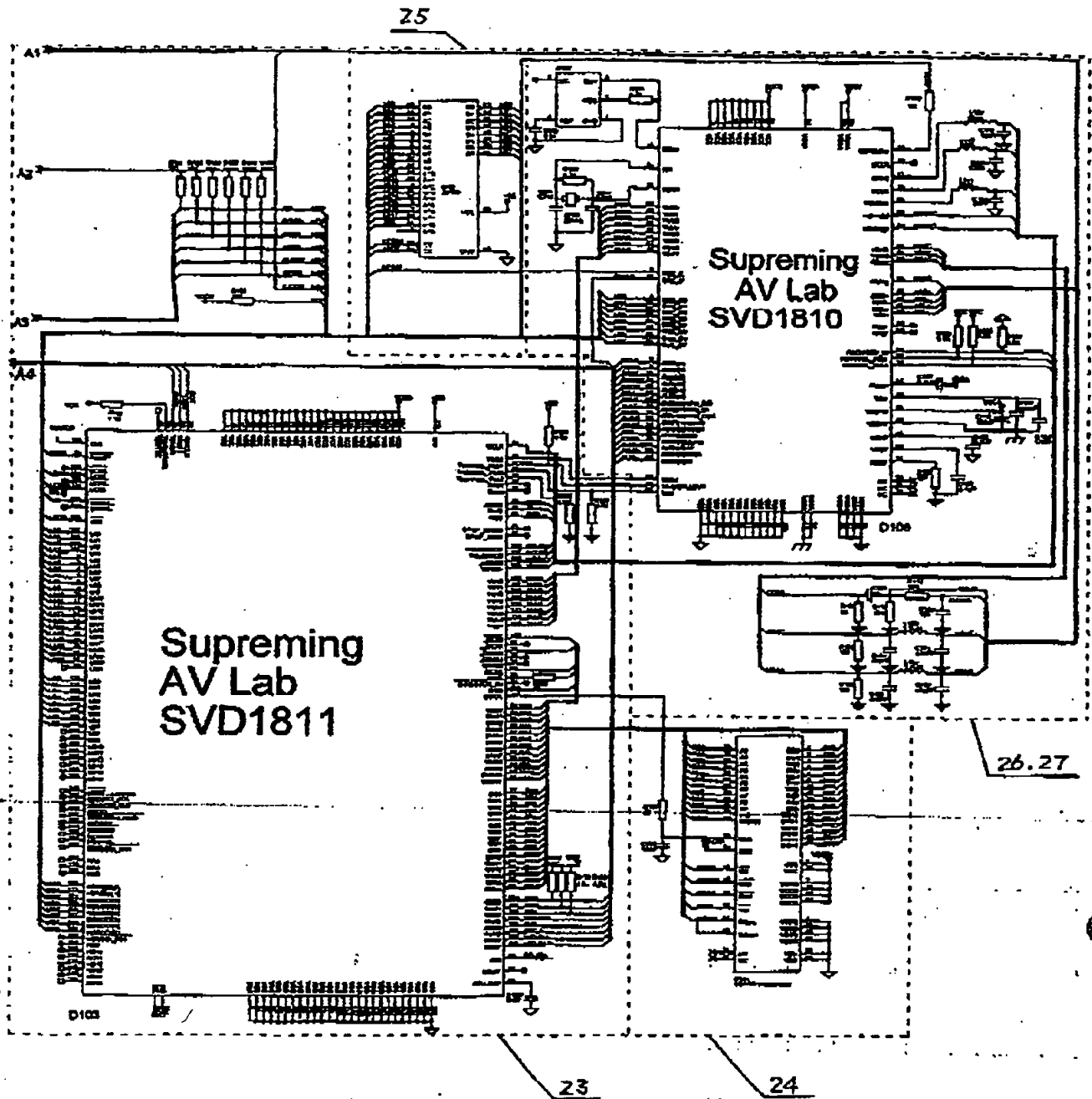


图 2 之图 2-2

00:05:09

开机模块

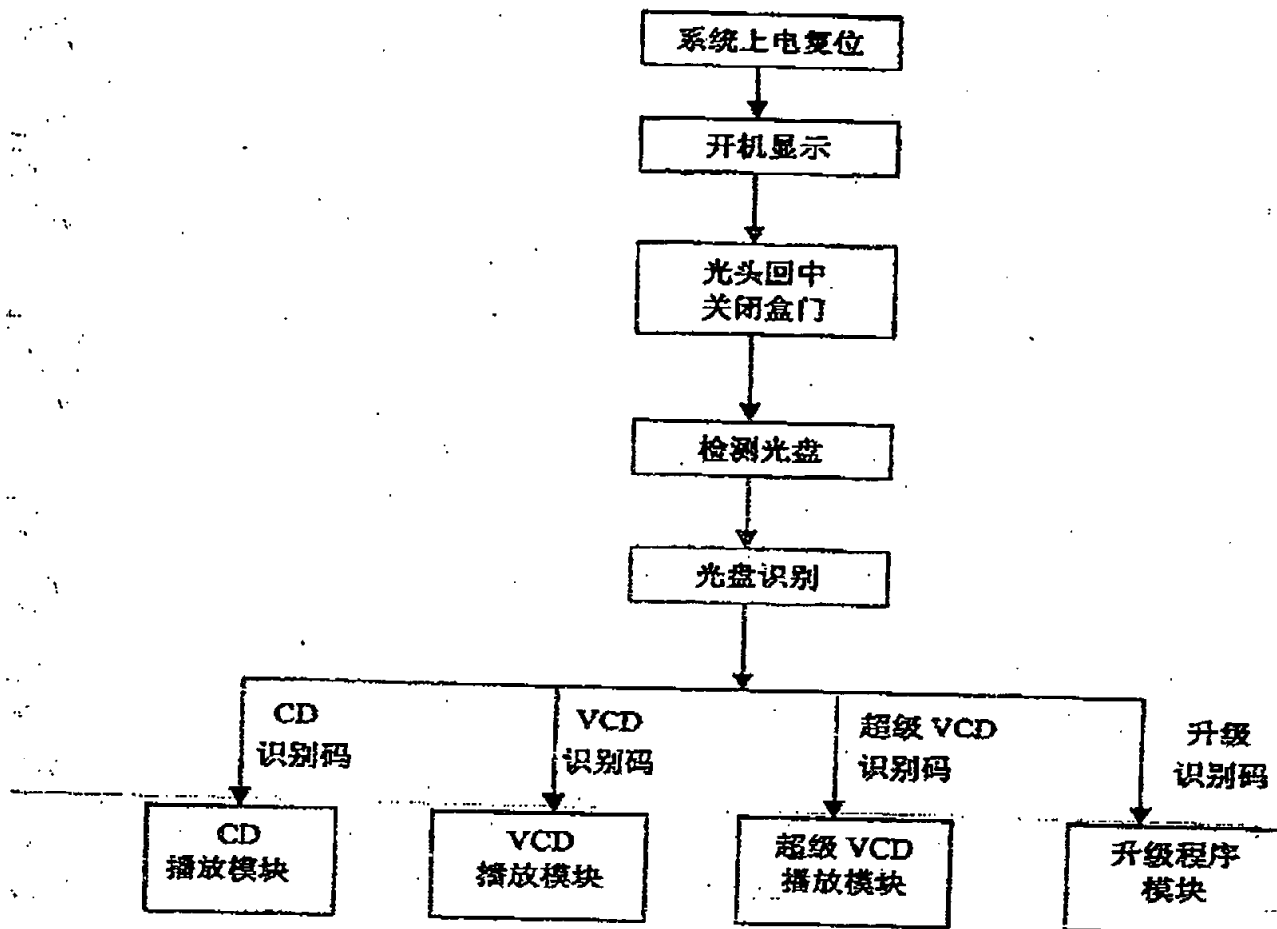


图 4

00:05:09

升级模块

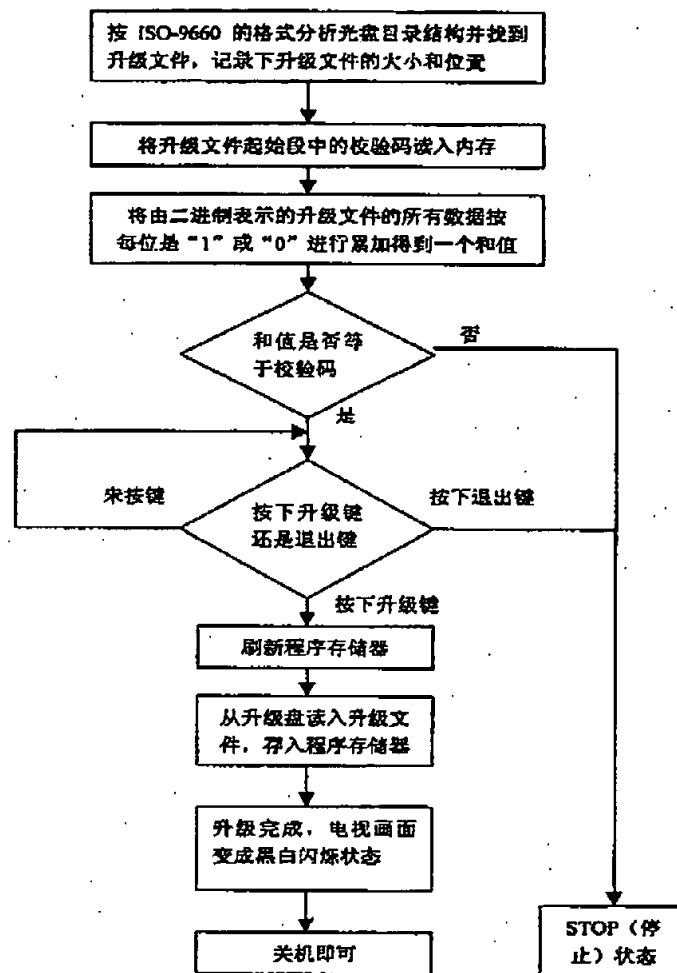


图 5